

Original document

SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

Publication number: JP2001326326

Publication date: 2001-11-22

Inventor: OHIRA HIROYOSHI

Applicant: SEIKO EPSON CORP

Classification:

- international: *H01L21/76; H01L21/3205; H01L21/60; H01L21/768; H01L23/52; H01L25/065; H01L25/07; H01L25/18; H01L27/00; H01L21/02; H01L21/70; H01L23/52; H01L25/065; H01L25/07; H01L25/18; H01L27/00; (IPC1-7): H01L27/00; H01L21/3205; H01L21/60; H01L21/76; H01L21/768; H01L23/52; H01L25/065; H01L25/07; H01L25/18*

- European:

Application number: JP20000143610 20000516

Priority number(s): JP20000143610 20000516

[View INPADOC patent family](#)

[View list of citing documents](#)

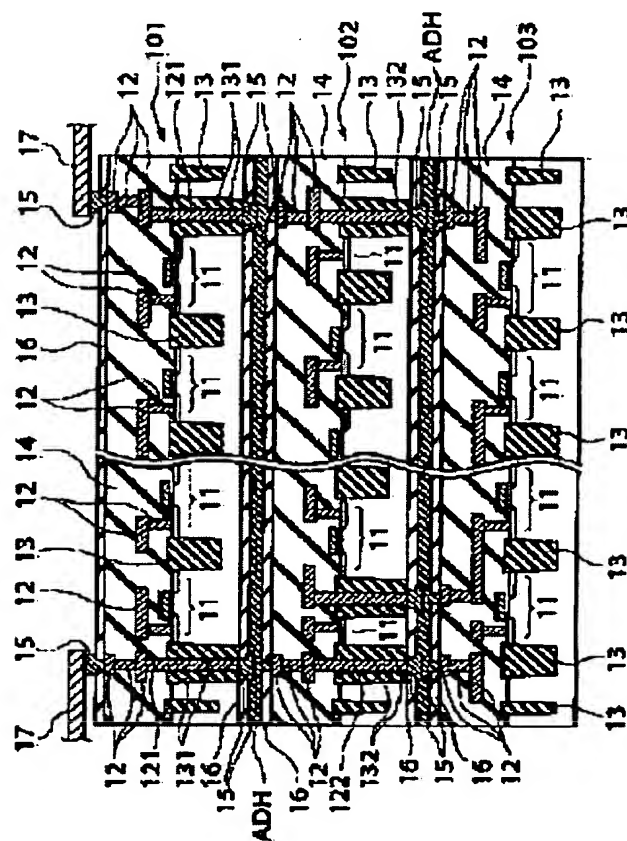
[Report a data error here](#)

Abstract of JP2001326326

PROBLEM TO BE SOLVED: To provide a semiconductor device which has low-resistance and highly reliable embedded wiring structure required for setup into a three-dimensional integrated circuit.

SOLUTION: Semiconductor substrates 101, 102, and 103 severally have integrated circuits (MOSFET, etc.), in the element regions 11 of the main surface, and are divided as chips. There is a section which is embedded so that copper wirings 121 and 122 may pierce the substrates at least from the main surface side to the rear side within the embedded element isolating regions 131 and 132, together with the embedded copper wiring 12 embedded by damascene technique concerned with the element region 11. Bump electrodes are provided in the connection parts of the copper wirings 12, 121, and 122, on the main surface side and the rear side of the substrate. For each semiconductor substrate of a lower layer

and an upper layer, the bump electrodes 15 on the main surface side and the rear side are thermocompression-bonded to each other so as to make them into one chip product.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-326326

(P2001-326326A)

(43) 公開日 平成13年11月22日 (2001.11.22)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコト* (参考)
H 0 1 L 27/00	3 0 1	H 0 1 L 27/00	3 0 1 B 5 F 0 3 2
21/60	3 1 1	21/60	3 1 1 Q 5 F 0 3 3
21/76		21/76	L 5 F 0 4 4
21/3205		21/88	M
21/768			J

審査請求 未請求 請求項の数 2 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2000-143610 (P2000-143610)

(22) 出願日 平成12年5月16日 (2000.5.16)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 大平 廣吉

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅著 (外1名)

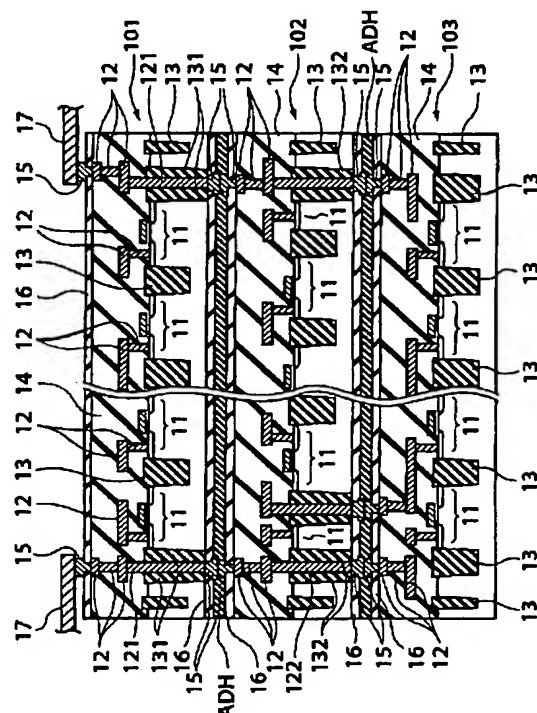
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 3次元集積回路への組立てに必要な、低抵抗で高信頼性の埋め込み配線構造を有する半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板101, 102, 103は、それぞれ主表面の素子領域11に集積回路 (MOSFET等) を有し、チップとして切り分けられている。素子領域11に係るダマシン技術による埋め込み銅配線12と共に、埋め込み素子分離領域131, 132内において少なくともその主表面側から裏面側に亘って銅配線121, 122が貫通するように埋め込まれている部分がある。基板主表面側、裏面側において銅配線12, 121, 122の接続箇所にはパンプ電極15が設けられている。下層と上層の各半導体基板は、それぞれ主表面側と裏面側のパンプ電極15どうしを熱圧着接続して1チップ製品化する。



【特許請求の範囲】

【請求項1】 主表面の素子領域に集積回路が形成された第1半導体基板と、

前記第1半導体基板の主表面に形成され、所定箇所では主表面側から裏面側に亘って貫通する部分を含む埋め込み素子分離領域と、

前記埋め込み素子分離領域の内部に形成され、前記第1半導体基板の主表面側から裏面側に亘って貫通する前記素子領域に関係する埋め込み銅配線と、

前記第1半導体基板の主表面側の前記素子領域に関係する配線と、

主表面側を前記第1半導体基板の裏面側と対向させる第2半導体基板と、

前記第1半導体基板の裏面側の銅配線と前記第2半導体基板における素子領域に関係する配線が電氣的に接続されるための接続部と、を具備したことを特徴とする半導体装置。

【請求項2】 第1半導体基板の主表面における素子分離領域形成時に所定箇所において裏面側に配線を導ける深さの埋め込み素子分離領域を形成する工程と、

主表面に素子が構成された前記埋め込み素子分離領域内において裏面側に配線を導ける深さのトレンチを形成する工程と、

前記第1半導体基板の主表面における配線溝パターンを形成する工程と、

少なくとも前記配線溝パターン内にバリア金属を形成する工程と、

前記トレンチ及び配線溝パターンを埋め込む銅配線部材を形成する工程と、

前記第1半導体基板の主表面最上層に保護膜を形成する工程と、

前記保護膜を選択的にエッチングして前記銅配線部材に関係する第1バンプ電極群を形成する工程と、

前記第1半導体基板の裏面側を前記トレンチの銅配線部材が露出するまで研削及び研磨する工程と、

前記第1半導体基板の裏面側において保護膜を介し前記トレンチの銅配線部材に繋がる第2バンプ電極群を形成する工程と、

少なくとも前記第1半導体基板に対向させる第2半導体基板が準備され、前記第1半導体基板の第2バンプ電極群に各々対向する所定のバンプ電極群を有してそれぞれが電氣的に接続される接続工程と、

少なくとも前記接続工程による前記第1、第2の半導体基板の積層形態が一つのチップとして切り出される工程とを具備したことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、ウェハレベルの3次元集積回路技術に係り、特に、ダマシン技術を用いた配線構造を伴う半導体装置に関する。

【0002】

【従来の技術】 素子の微細化が進む中、LSI製品における動作速度の向上が著しく、その要求も實際厳しくなっている。配線関係による信号遅延やクロストークを考慮すると、配線の長さは動作高速化を妨げる大きな問題となる。

【0003】 すなわち、配線が少なからず絡むパッケージや配線基板では避けることのできない深刻な問題となる。このような状況から、一方ではシステムLSIの技術開発が進んでいる。システムLSIは、周辺回路のLSIを取り込みながら1チップ化への技術を着実に進歩させている。

【0004】 しかし、システムLSIの開発においては、長い開発期間と、異種プロセス混合によるチップコスト上昇を招くことになる。これにより、昨今技術開発の進歩が著しいメディア機器などが要望する短納期、低コストを満足できないのが現状である。

【0005】

【発明が解決しようとする課題】 上述の理由により、3次元実装を主体とするシステム機能実装の要求が高まり、システムLSIと実装技術の統合が重要になってきた。メディア機器産業では、周波数（高速化）と納期（短納期）で成長の度合いが決められる。このため、内蔵されるLSIも、実装やパッケージ技術によって可能な限り接続長、配線長を短縮しなければならない。このような理由から、3次元実装モジュールは様々な工夫がなされ実用化の段階に入ってきている。

【0006】 例えば、3次元実装モジュールは、従来、次のような構成が実用化、あるいは実用化段階にある。例えば、TCP（Tape Carrier Package）を積層し、チップ積層間の接続はTCPのアウトリードで達成する。または、TCPの積層間に配線用の枠体を配備して、チップ積層間の接続を達成する。その他、チップレベルで積層し、チップ積層間を側面の導電材を介して接続したもの等、様々な技術がある。

【0007】 また、ウェハレベルの3次元集積回路技術も開発されている。集積回路ウェハにウェハ表面側から裏面に抜けるポリシリコンの埋め込み配線（ビア電極）を作り込んでおき、張り合わせ積層する他の集積回路ウェハと所望の接続を達成する構成である。この技術は、例えば月刊Semiconductor World 1999.11の68～71ページに開示されている。

【0008】 上記構成によれば、埋め込み配線の長さはウェハの厚さ（例えば10 μ m程度）に依存する。この結果、前者の3次元実装モジュールに比べて配線長、接続長を格段に短くすることができる。

【0009】 上記ウェハレベルの3次元集積回路技術においては、埋め込み配線を形成するために一辺が2～3 μ mで深さが数10 μ m程度の深溝を形成する。その後、溝内を酸化し、内部に低抵抗のポリシリコンを埋め

込んで平坦化する。このようにして形成された埋め込み配線上にパンプ電極を形成する。他のウェハにはこのパンプ電極と対向する位置に配線電極が形成されている。これら 2 つのウェハは位置合わせされた後、パンプ電極と配線電極がそれぞれ接触、仮接着される。その後、ウェハ間に液体接着剤が注入され、ウェハどうしが張り合わせられる。

【0010】しかしながら、埋め込み配線の低抵抗化は十分とはいえない。また、埋め込み配線は素子分離絶縁膜下に形成され、その絶縁分離は埋め込み配線を形成する深溝内に相当量の酸化膜を被覆形成しなければ信頼性は得られない。

【0011】本発明は上記のような事情を考慮してなされたもので、3次元集積回路への組立てに必要な、低抵抗で高信頼性の埋め込み配線構造を有する半導体装置及びその製造方法を提供しようとするものである。

【0012】

【課題を解決するための手段】本発明の半導体装置は、主表面の素子領域に集積回路が形成された第1半導体基板と、前記第1半導体基板の主表面に形成され、所定箇所では主表面側から裏面側に亘って貫通する部分を含む埋め込み素子分離領域と、前記埋め込み素子分離領域の内部に形成され、前記第1半導体基板の主表面側から裏面側に亘って貫通する前記素子領域に関する埋め込み銅配線と、前記第1半導体基板の主表面側の前記素子領域に関する配線と、主表面側を前記第1半導体基板の裏面側と対向させる第2半導体基板と、前記第1半導体基板の裏面側の銅配線と前記第2半導体基板における素子領域に関する配線が電気的に接続されるための接続部とを具備したことを特徴とする。

【0013】本発明の半導体装置の製造方法は、第1半導体基板の主表面における素子分離領域形成時に所定箇所において裏面側に配線を導ける深さの埋め込み素子分離領域を形成する工程と、主表面に素子が構成された前記埋め込み素子分離領域内において裏面側に配線を導ける深さのトレンチを形成する工程と、前記第1半導体基板の主表面における配線溝パターンを形成する工程と、少なくとも前記配線溝パターン内にバリア金属を形成する工程と、前記トレンチ及び配線溝パターンを埋め込む銅配線部材を形成する工程と、前記第1半導体基板の主表面最上層に保護膜を形成する工程と、前記保護膜を選択的にエッチングして前記銅配線部材に関する第1パンプ電極群を形成する工程と、前記第1半導体基板の裏面側を前記トレンチの銅配線部材が露出するまで研削及び研磨する工程と、前記第1半導体基板の裏面側において保護膜を介し前記トレンチの銅配線部材に繋がる第2パンプ電極群を形成する工程と、少なくとも前記第1半導体基板に対向させる第2半導体基板が準備され、前記第1半導体基板の第2パンプ電極群に各々対向する所定のパンプ電極群を有してそれぞれが電気的に接続される

接続工程と、少なくとも前記接続工程による前記第1、第2の半導体基板の積層形態が一つのチップとして切り出される工程とを具備したことを特徴とする。

【0014】本発明の半導体装置及びその製造方法によれば、埋め込み素子分離領域内にトレンチを形成し銅配線による埋め込み配線を構成する。これにより、寸法制御がしやすい銅配線が形成されると共に、低抵抗化にも寄与する。また、チップに切り出すのは最終段階である。電気的特性検査等はウェハの状態で行われる。これにより、ウェハレベルの3次元集積回路をチップ製品として構成する。

【0015】

【発明の実施の形態】図1は、本発明の一実施形態に係る半導体装置の構成を示す任意の断面図である。半導体基板101、102、103は、それぞれ主表面の素子領域11に集積回路(MOSFET等)が形成され、チップとして切り分けられた同等の大きさのものである。

【0016】半導体基板101、102には、それぞれ素子領域11に関する埋め込み銅配線12と共に埋め込み素子分離領域131、132内において少なくともその主表面側から裏面側に亘って銅配線121、122が貫通するように埋め込まれている部分がある。銅配線121、122は、積層下の集積回路チップ(102や103)と電気的に接続するために設けられる。埋め込み素子分離領域131、132は、通常の埋め込み素子分離領域13より深く形成されており、銅配線121、122が基板を貫通する深さ以上有するものである。

【0017】銅配線12、121、122は、それぞれ層間絶縁膜14の平坦化処理を伴うダマシン技術による埋め込み配線構造である。このような配線構造、少なくとも銅配線12には図示しないがバリア金属が含まれる。その他の素子領域に関する配線としてアルミニウム配線が含まれていてもよい(図示せず)。

【0018】上記銅配線12、121、122には、基板主表面側において接続が必要な箇所にパンプ電極15(例えば金パンプ)が設けられている。また、基板裏面側の銅配線121、122にもパンプ電極15が設けられている。パンプ電極15の周辺はパッシベーション膜16で保護されている。図示しないアルミニウム配線による電極にもパンプ電極が設けられる。

【0019】半導体基板102は、その主表面側が半導体基板101の裏面側と対向しており、半導体基板101、102のパンプ電極15どうしがそれぞれ接続されている。パンプ電極15どうしは例えば熱圧着後に絶縁性の接着樹脂材ADHが注入された形態が考えられる。また、異方性の導電フィルムやペーストを用いた接続形態でもよい。

【0020】また、半導体基板103は、その主表面側が半導体基板102の裏面側と対向しており、半導体基板102、103のパンプ電極15どうしがそれぞれ接

続されている。パンプ電極15どうしは例えば熱圧着後に絶縁性の接着剤が注入された形態が考えられる。また、異方性の導電フィルムやペーストを用いた接続形態でもよい。

【0021】上記のような積層チップ構成において、最上層の半導体基板101には、例えばパンプ電極15に繋がる外部リード17が設けられる。このような構成をパッケージ製品とする。すなわち、ウェハレベルの3次元集積回路の構成を伴い、所望の機能ICチップが達成される。

【0022】上記構成によれば、埋め込み素子分離領域によって、選択酸化分離と比べて素子分離領域が狭く形成できる。これにより、素子領域の有効利用が期待できる。また、深い埋め込み素子分離領域内に形成された銅配線121、122による高信頼性の構成と低抵抗化が実現される。

【0023】図2～図5は、それぞれ本発明の一実施形態に係る半導体装置の要部の製造方法を工程順に示す任意の断面図である。前記図1と同様の箇所には同一の符号を付して説明する。

【0024】図2に示すように、半導体集積回路ウェハW1は、主表面に埋め込み素子分離領域13が形成される。この素子分離領域形成時に、所定箇所において裏面側に配線を導ける深さの埋め込み素子分離領域131を予め形成しておく。すなわち、埋め込み素子分離領域131は、ウェハW1の最終的な厚さよりある程度深く形成する。その後、素子領域11にMOSFETなどの素子を含む集積回路が形成される。層間絶縁膜14上において1層目の配線層となる配線溝を形成する前の段階（破線のレベル）で、フォトリソグラフィ技術を用いて所定深さのトレンチTRを形成する。このトレンチTRは、埋め込み素子分離領域131上の所定箇所から裏面側に配線を引き出すため所定深さを有する。すなわち、トレンチTRは、ウェハW1の最終的な厚さよりある程度深く形成する。

【0025】次に再びフォトリソグラフィ技術を用いてその他の配線溝パターン21を形成する。少なくとも配線溝パターン21にはバリア金属22をスパッタ法によって被覆する。

【0026】上記トレンチTR及び配線溝パターン21に、例えば無電解メッキ法により銅が埋め込まれる。この銅の埋め込みは必要に応じてトレンチTRと配線溝パターン21に対して別々に行ってもよい。

【0027】その後、CMP（Chemical Mechanical Polishing）法を用いて不要な箇所の銅を削除する。これにより、銅配線12、121のプラグが形成される。さらに、配線溝パターンの形成、銅の埋め込み、CMP法を経てダマシン技術による銅配線12、121の配線構造が形成される。または、図示しないが、プラグパターンを配したエッチング選択比の異なる膜を層間絶縁膜中

に設けて、プラグと配線パターンを同時にエッチング形成し、配線部材（ここでは銅）を埋め込むデュアルダマシン技術を用いてもよい。また、このような技術を用いて、必要とされるさらなる多層の配線構造を形成してもよい。その他、素子領域に関係する配線としてアルミニウム配線が含まれていてもよい。

【0028】次に、半導体集積回路ウェハW1の主表面の最上層は平坦化されその上にパッシベーション膜16を形成する。次に、パッシベーション膜16に対しフォトリソグラフィ工程を経て、上記配線構造の所定箇所に繋がるパンプ電極15を形成する。図示しないアルミニウム配線による電極にもパンプ電極が設けられる。パンプ電極15は例えば金パンプである。

【0029】次に、図3に示すように、半導体集積回路ウェハW1の主表面に保護テープ23を張り付ける。そして、半導体集積回路ウェハW1の主表面側を保持し、裏面側を上記トレンチTRの銅配線121が露出するまで研削、研磨することにより、平坦化される。これにより、ウェハW1は所定の厚さにされる。

【0030】次に、図4に示すように、ウェハW1の平坦化された裏面側においてパッシベーション膜16を形成する。次に、パッシベーション膜16に対しフォトリソグラフィ工程を経て、ウェハW1の裏面側に露出した銅配線部121に繋がるパンプ電極15を形成する。パンプ電極15は例えば金パンプである。

【0031】一方、半導体集積回路ウェハW2が準備される。半導体集積回路ウェハW2も上述の半導体集積回路ウェハW1と同様な工程を経て、埋め込み素子分離領域13、132、主表面の素子、配線構造（銅配線12）、裏面側に配線を引き出すため埋め込み素子分離領域132内に埋め込みの銅配線122を有する。また、主表面のパンプ電極15はすべて上記半導体集積回路ウェハW1の裏面側に露出した銅配線121に各々対向する位置に設けられている。埋め込みの銅配線122に繋がるパンプ電極15も形成されている。その後、ウェハW2上を保護している図示しない保護テープを剥がし、ウェハの積層及び接着の工程に移行する。

【0032】すなわち、これら2つのウェハW1とW2は、それぞれ裏面と主表面とが対向し、位置合わせされて各パンプ電極15どうしが熱圧着接続される。その後、絶縁性の接着樹脂材ADHが注入された形態とする。あるいは、異方性の導電フィルムやペーストを用い、熱圧着してもよい。すなわち、ウェハW1及びW2のパンプ電極15どうしの間で導電粒子が粒径以下となって確実な電氣的接続を実現する。

【0033】次に、図5に示すように、さらに、半導体集積回路ウェハW3が準備される。半導体集積回路ウェハW3も上述の半導体集積回路ウェハW1と同様な工程を経て、埋め込み素子分離領域13、主表面の素子、配線構造（銅配線12）をダマシン法等により形成する。

ただし、ここでは積層最下層となるため裏面側に配線を引き出す必要はない。また、主表面のバンプ電極15はすべて上記半導体集積回路ウェハW2の裏面側に露出した銅配線122に繋がるバンプ電極15に各々対向する位置に設けられている。その後、ウェハW3上を保護している図示しない保護テープを剥がし、ウェハの積層及び接着の工程に移行する。

【0034】すなわち、これらウェハ1を積層したウェハW2と、ウェハW3は、それぞれ裏面と主表面とが対向し、位置合わせされて各バンプ電極15どうしが熱圧着接続される。その後、絶縁性の接着樹脂材ADHが注入された形態とする。あるいは、異方性の導電フィルムやペーストを用い、熱圧着してもよい。すなわち、ウェハW1及びW2のバンプ電極15どうしの中で導電粒子が粒径以下となって確実な電気的接続を実現する。

【0035】この後、ダイシング工程に入る。これにより、半導体集積回路ウェハW1～W3の積層形態を1つのチップとして破線で示すカットラインCLに従って切り分けていく。これにより、前記図1に示すように外部リードを形成するなどして、パッケージ製品化する。これにより、ウェハレベルの3次元集積回路の構成として所望の機能ICが実現される。

【0036】上記実施形態の方法によれば、埋め込み素子分離領域によって、選択酸化分離と比べて素子分離領域が狭く形成できる。これにより、素子領域の有効利用が期待できる。また、埋め込み素子分離領域131や132にトレンチを形成し、銅配線による埋め込み配線を構成する。これにより、寸法の制御がしやすい銅配線が形成されると共に、低抵抗化にも寄与する。さらに、チップに切り出すのはウェハどうしを積層し、接続し終えた最終段階である。電気的特性検査等はウェハの状態で行うことができる。これにより、生産性の高いウェハレベルの3次元集積回路をチップ製品とすることができる。なお、図示しないが、さらなる複数層の半導体集積回路チップを積層することも可能である。

【0037】

【発明の効果】以上説明したように本発明によれば、埋め込み素子分離領域を形成し、所定の埋め込み素子分離

領域の内部に銅配線による基板を貫通する埋め込み配線を構成する。これにより、寸法の制御がしやすい銅配線が形成されると共に、低抵抗化にも寄与する。また、チップに切り出すのは最終段階であって、電気的特性検査等はウェハの状態で行われる。これにより、生産性が高く、配線長、接続長を格段に短くすることができる、3次元集積回路への組立てに高信頼性の埋め込み配線構造を有する半導体装置及びその製造方法を提供することができる。

10 【図面の簡単な説明】

【図1】本発明の一実施形態に係る半導体装置の構成を示す任意の断面図である。

【図2】本発明の一実施形態に係る半導体装置の要部の製造方法を工程順に示す任意の第1断面図である。

【図3】本発明の一実施形態に係る半導体装置の要部の製造方法を工程順に示す任意の第2断面図である。

【図4】本発明の一実施形態に係る半導体装置の要部の製造方法を工程順に示す任意の第3断面図である。

20 【図5】本発明の一実施形態に係る半導体装置の要部の製造方法を工程順に示す任意の第4断面図である。

【符号の説明】

101, 102, 103…半導体基板（集積回路チップ）

11…素子領域

12, 121, 122…銅配線

13, 131, 132…埋め込み素子分離領域

14…層間絶縁膜

15…バンプ電極

16…パッシベーション膜

30 17…外部リード

21…配線溝パターン

22…バリア金属

23…保護テープ

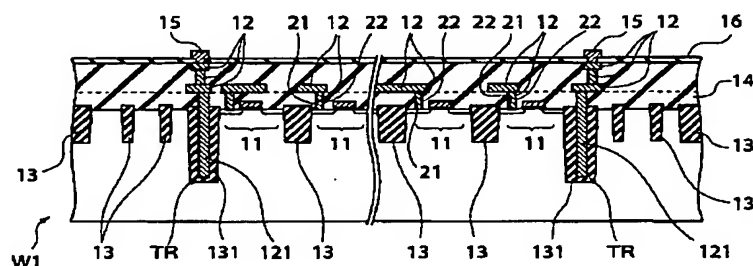
ADH…絶縁性の接着樹脂材

CL…カットライン

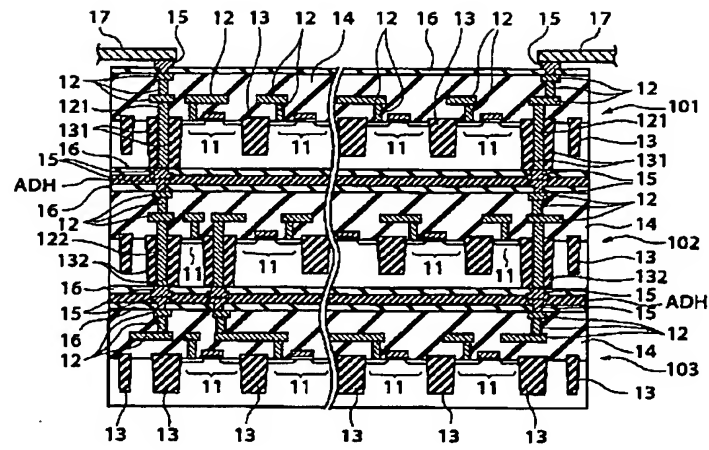
TR…トレンチ

W1～3…半導体集積回路ウェハ

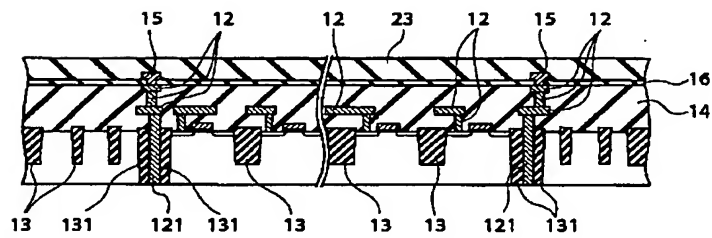
【図2】



【図 1】

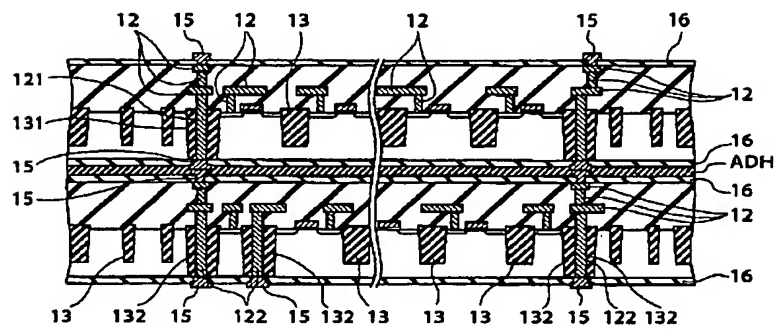


【図 3】

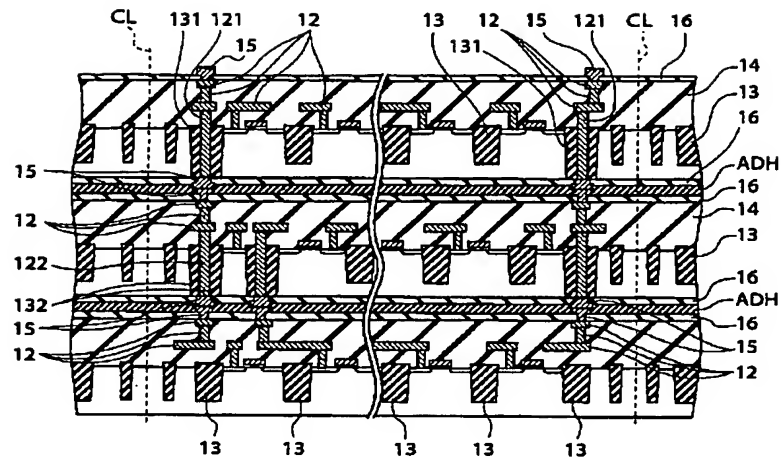


＜裏面研削、研磨による平坦化＞

【図 4】



【図5】



フロントページの続き

(51) Int.Cl.⁷

識別記号

F I

テームコード(参考)

H 0 1 L 23/52
25/065
25/07
25/18

H 0 1 L 21/90
23/52
25/08

A
C
B

F ターム(参考) 5F032 AA34 AA35 BB08 CA17 DA33
DA78
5F033 HH11 HH12 HH13 JJ11 KK13
MM01 MM02 MM12 MM13 MM30
NN06 NN07 PP15 PP28 QQ00
QQ48 XX10
5F044 LL09 LL11 LL15 RR03